

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-108519**

(43)Date of publication of application : **12.04.2002**

(51)Int.Cl. G06F 1/32
B60R 16/02
// H01H 9/54

(21)Application number : **2000-297080** (71)Applicant : **ALPS ELECTRIC CO LTD**

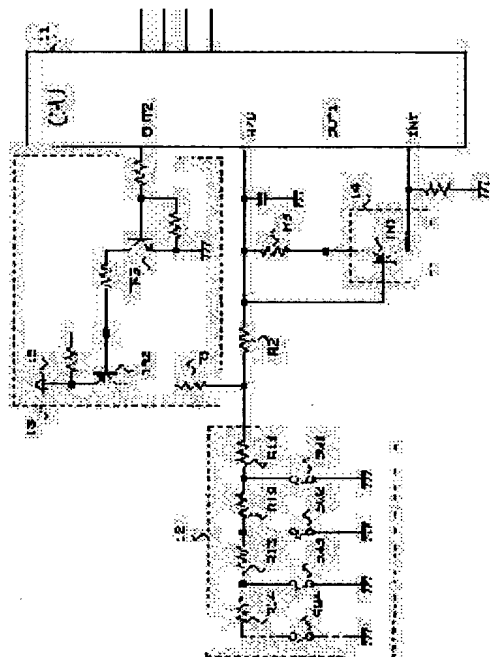
(22)Date of filing : **26.09.2000** (72)Inventor : **TANAKA MASAOKI**
TAMURA HIDEKI

(54) WAKE-UP STARTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wake-up starting circuit capable of simplifying its constitution, reducing the number of components or wiring, making it unnecessary to depend on the number of switches, and easily increasing the number of those switches.

SOLUTION: This wake-up starting circuit is provided with a control part 11 equipped with an analog voltage input terminal, a trigger signal input terminal, and first and second output terminals for controlling external equipment based on a voltage value inputted to the analog voltage inputs terminal, and for outputting a high level voltage from the first output terminal in a sleep state, and for performing wake-up when a voltage is applied to the trigger signal input terminal, and for outputting a low level voltage signal from the first output terminal, a resistance value switching means 12 having plural switches and resistances, a pull-up means 13, and a wake-up trigger signal generating means 14. The wake-up trigger signal generating means 14 outputs a trigger signal when the voltage of the resistance value switching means 12 is changed.



LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-108519

(P2002-108519A)

(43) 公開日 平成14年4月12日 (2002. 4. 12)

(51) Int.Cl. ⁷	識別記号	F I	テーム(参考)
G 0 6 F 1/32		B 6 0 R 16/02	6 4 5 D 5 B 0 1 1
B 6 0 R 16/02	6 4 5	H 0 1 H 9/54	B 5 G 0 3 4
// H 0 1 H 9/54		G 0 6 F 1/00	3 3 2 Z

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2000-297080(P2000-297080)

(22) 出願日 平成12年9月26日 (2000. 9. 26)

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72) 発明者 田中 正晃

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 田村 英樹

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

Fターム(参考) 5B011 EA08 KK02 KK03 LL12

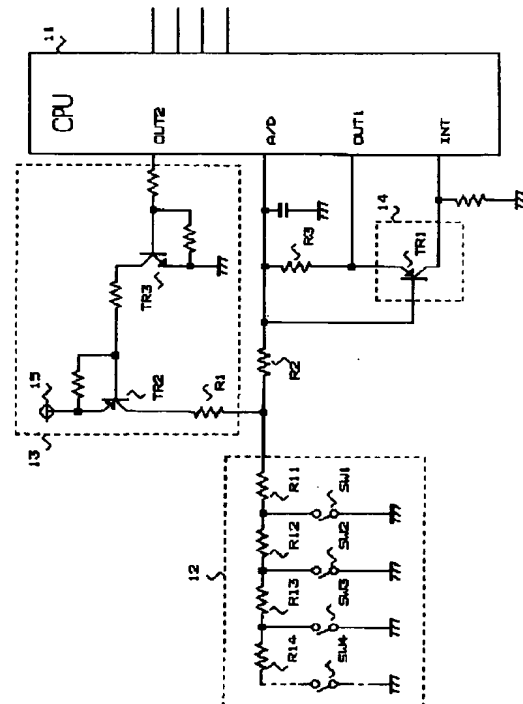
5G034 AB14

(54) 【発明の名称】 ウェイクアップ起動回路

(57) 【要約】

【課題】 構成が簡単で、部品や配線の数少なく、また、スイッチの数に依存せず、さらに、スイッチの数を増やす拡張がしやすいウェイクアップ起動回路を提供すること。

【解決手段】 アナログ電圧入力端子、トリガ信号入力端子、第1及び第2の出力端子を有し、アナログ電圧入力端子に入力された電圧値によって外部機器を制御し、スリープ状態のときは第1の出力端子からハイレベルの電圧を出力し、トリガ信号入力端子に電圧が印加されたときにウェイクアップするとともに第1の出力端子からローレベルの電圧の信号を出力する制御部11と、複数のスイッチと抵抗とを有する抵抗値切替手段12と、プルアップ手段13と、ウェイクアップトリガ信号生成手段14と、を設け、ウェイクアップトリガ信号生成手段14は、抵抗値切替手段12の電圧が変化したときに、トリガ信号を出力するようにした。



【特許請求の範囲】

【請求項1】 アナログ電圧入力端子とトリガ信号入力端子とを有し、前記アナログ電圧入力端子に入力されたアナログ電圧の値に対応して複数の制御信号を出力する制御部と、

複数のスイッチと抵抗とを有し、一端が接地され、他端が前記アナログ電圧入力端子に接続されるとともに、少なくともブルアップ抵抗を有するブルアップ手段によって電源に接続され、その2端間の抵抗値を前記スイッチによって切り替える抵抗値切替手段とを備え、前記抵抗値切替手段と前記トリガ信号入力端子との間にウェイクアップトリガ信号生成手段を設け、前記抵抗値切替手段の電圧が変化したときに、前記ウェイクアップトリガ信号生成手段から前記トリガ信号を出力して前記制御部をウェイクアップさせるようにしたことを特徴とするウェイクアップ起動回路。

【請求項2】 前記制御部には、スリープ状態のときにハイレベルの電圧を出力し、前記トリガ信号が入力されたときにローレベルの電圧を出力する第1の出力端子を設け、

前記ウェイクアップトリガ信号生成手段を、エミッタが前記第1の出力端子に接続され、コレクタが前記トリガ信号入力端子に接続され、ベースが前記抵抗値切替手段の他端に接続されたPNPトランジスタで構成したことを特徴とする請求項1記載のウェイクアップ起動回路。

【請求項3】 前記ウェイクアップトリガ信号生成手段を、エミッタがハイレベルの電圧を出力する電源に接続され、コレクタが前記トリガ信号入力端子に接続されたPNPトランジスタと、前記PNPトランジスタのベースと前記抵抗値切替手段の他端との間に設けられた微分回路とから構成したことを特徴とする請求項1記載のウェイクアップ起動回路。

【請求項4】 前記ブルアップ手段には、前記ブルアップ抵抗に直列に介挿されたスイッチ手段を設け、前記制御部には第2の出力手段を設け、スリープ状態のときは、前記第2の出力端子に現れる信号によって前記スイッチ手段をオフとし、ウェイクアップしたときに、前記第2の出力端子に現れる信号によって前記スイッチ手段をオンとするようにしたことを特徴とする請求項1乃至3記載のウェイクアップ起動回路。

【請求項5】 前記スイッチ手段を、ベースが前記第2の出力端子に接続されたトランジスタで構成したことを特徴とする請求項4記載のウェイクアップ起動回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、ウェイクアップ起動回路に関し、特に、自動車に搭載されたパワーウィンド・スイッチやドアモジュールやパワーシートモジュールなどの外部スイッチ入力回路に好適なウェイクアップ

起動回路に関する。

【0002】

【従来の技術】自動車に用いられるパワーウィンド・スイッチ、電動ミラースイッチ、ドアモジュール、パワーシートモジュールなどの外部スイッチ入力回路は、イグニッションキーを切った状態でも動作させる必要があるために、常時電源が供給され続けている。しかし、この回路を常時動作可能な状態としておくと、電力を消費してしまい、時間が経過し、バッテリーの供給電力量を越えて電力を消費すると、遂には、エンジンを始動することができなくなってしまう。そこで、例えば、イグニッションスイッチを切った後に、ある一定時間が経過すると、自動的に低消費電力モード（スリープモード）になり、電力の消費量を抑え、そして、この回路のいずれかのスイッチが操作されると、通常の動作モードに戻る（ウェイクアップする）ようにするウェイクアップ起動回路が各種提案されている。

【0003】このような従来のウェイクアップ起動回路は、図3に回路図を示すように、制御部（以下「CPU」という）31、スイッチユニット32、ブルアップ手段33、ウェイクアップトリガ信号生成手段34、によって構成されている。CPU31は、複数の入力端子（IN1、IN2、IN3）、スリープ状態からウェイクアップさせるための電圧が入力されるトリガ信号入力端子（INT）、を有し、入力端子（IN1、IN2、IN3）に入力される電圧の低下によって外部機器（図示せず）を制御するための複数の制御信号を出力し、また、所定の状態、例えば、イグニッションキーが切られてから数分後にスリープモードとなり、そして、トリガ信号入力端子（INT）に電圧が印加されたときにウェイクアップする。スイッチユニット32は、一端が接地された複数のスイッチ（32a、32b、32c）を有し、それぞれのスイッチ（32a、32b、32c）の他端は、抵抗（R35、R36、R37）を介して、CPU31の各入力端子（IN1、IN2、IN3）に接続されている。ブルアップ手段33は、電源端子35とスイッチユニット32の各スイッチ（32a～32c）の他端との間を、それぞれブルアップ抵抗（R31、R32、R33）を介して接続し、各スイッチ（32a～32c）の他端をブルアップしている。ウェイクアップトリガ信号生成手段34は、PNP型のスイッチトランジスタTR1、ダイオード（D31、D32、D33）からなるOR回路（接地を”1”、非接地を”0”としたときのOR回路）、によって構成され、トランジスタTR1のベースは、OR回路のアノード側に接続され、エミッタは、電源端子36に接続され、コレクタは、CPU31のトリガ信号入力端子（INT）に接続されている。また、OR回路（D31、D32、D33）のカソード側は、それぞれ、スイッチユニット32の各スイッチ（32a～32c）の他端に接続されている。

【0004】以上の構成により、スイッチユニット32のいずれかのスイッチ(32a~32c)が操作されると、操作されたスイッチ(32a~32c)は、一端が接地となるので、CPU31の操作されたスイッチ(32a~32c)に対応する入力端子(IN1~IN3)に印加される電圧がローレベルとなる。CPU31は、この入力端子(IN1~IN3)の電圧を監視し、操作されたスイッチ(32a~32c)を判断し、操作されたスイッチ(32a~32c)に応じて、出力端子(図示せず)から制御信号を出力し、外部の車載機器を制御する。

【0005】また、CPU31が、所定の状態、例えば、イグニッションキーが切られてから数分間経過し、スリープモードとなっているときは、スイッチユニット32のいずれかのスイッチ(32a~32c)が操作されると、操作されたスイッチ(32a~32c)は、一端が接地されるので、ダイオード(D31~D33)によって構成されるOR回路は、アノード側も接地電圧となり、トランジスタTR1がオンするので、CPU31のトリガ信号入力端子(INT)は、電源36からの電圧が印加され、ハイレベルとなる。CPU31は、トリガ信号入力端子(INT)に入力される電圧がハイレベルとなると通常の動作モードに戻り、操作されたスイッチ(32a~32c)に対応した、外部の車載機器を制御するための制御信号を出力する。

【0006】以上のような、構成と動作により、CPU31は、操作されたスイッチ(32a~32c)に対応する制御を行うとともに、動作する必要のないときには、スリープモードとなって電力の消費を抑え、スリープモードのとき、いずれかのスイッチ(32a~32c)が操作されると、ウェイクアップする。

【0007】

【発明が解決しようとする課題】しかしながら、このようなウェイクアップ起動回路では、スイッチユニット32に備えられたスイッチ(32a~32c)はCPU31に対して並列に配置されており、CPU31との接続線及びCPU31の入力端子(IN1、IN2、IN3)は、スイッチ(32a、32b、32c)の数と同じ数だけ必要となり、また、ウェイクアップトリガ信号生成手段34との接続にもダイオード(D31~D33)と接続線が必要となるので、部品や配線の数が多く、回路が複雑となっていた。また、スイッチユニット32のスイッチ(32a~32c)の数によって回路を構成しているので、使用しているスイッチの数が違う他の回路とでは回路を共通化できず、コストダウンの妨げとなっていた。更に、スイッチユニット32にスイッチ32dを増やそうとした場合、図中点線で示す接続線や、CPU31の入力端子IN4や、ダイオードD34などが必要となり、1度設計をした後に拡張することが難しかった。

【0008】本発明は、この問題を解決するもので、その目的は、構成が簡単で、部品や配線の数が少なく、また、スイッチの数に依存せず、さらに、スイッチの数を増やす拡張がしやすいウェイクアップ起動回路を提供することである。

【0009】

【課題を解決するための手段】前記課題を解決するため、本発明は、アナログ電圧入力端子とトリガ信号入力端子とを有し、アナログ電圧入力端子に入力されたアナログ電圧の値に対応して複数の制御信号を出力する制御部と、複数のスイッチと抵抗とを有し、一端が接地され、他端がアナログ電圧入力端子に接続されるとともに、少なくともプルアップ抵抗を有するプルアップ手段によって電源に接続され、その2端間の抵抗値をスイッチによって切り替える抵抗値切替手段とを備え、抵抗値切替手段とトリガ信号入力端子との間にウェイクアップトリガ信号生成手段を設け、抵抗値切替手段の電圧が変化したときに、ウェイクアップトリガ信号生成手段からトリガ信号を出力して制御部をウェイクアップさせるようにした。かかる構成とすることにより、抵抗値切替手段と制御部のアナログ電圧入力端子との間は、1本だけの接続線によって接続でき、また、抵抗値切替手段とウェイクアップトリガ信号生成手段との間も1本だけの接続線によって接続できるので、構成が簡単で、部品や接続線が少なくできる。また、抵抗値切替手段のスイッチの数に依存しないので、使用するスイッチの数が相違する他の回路とも、共通して使用することができるので、製造するコストを安くすることができる。さらに、抵抗値切替手段にスイッチを増やそうとした場合でも、拡張することが易しい。

【0010】また、本発明は、制御部には、スリープ状態のときにハイレベルの電圧を出力し、トリガ信号が入力されたときにローレベルの電圧を出力する第1の出力端子を設け、ウェイクアップトリガ信号生成手段を、エミッタが第1の出力端子に接続され、コレクタがトリガ信号入力端子に接続され、ベースが抵抗値切替手段の他端に接続されたPNPトランジスタで構成した。かかる構成とすることにより、ウェイクアップトリガ信号生成手段をトランジスタで構成できるので、簡単に実現することができるとともに、トリガ信号を検出したときには直ちにトリガ信号を発生しないようにできるので、より電力消費を少なくすることができる。

【0011】また、本発明は、ウェイクアップトリガ信号生成手段を、エミッタがハイレベルの電圧に接続され、コレクタがトリガ信号入力端子に接続されたPNPトランジスタと、PNPトランジスタのベースと抵抗値切替手段の他端との間に設けられた微分回路とから構成した。かかる構成とすることにより、ウェイクアップトリガ信号生成手段をトランジスタと微分回路とで構成できるので、簡単に実現することができるとともに、トリ

ガ信号は、微分回路によって、自動的にローレベルの電圧となるので、より電力消費を少なくすることができる。

【0012】また、本発明は、ブルアップ手段には、ブルアップ抵抗に直列に介挿されたスイッチ手段を設け、制御部には第2の出力手段を設け、スリープ状態のときは、第2の出力端子に現れる信号によってスイッチ手段をオフとし、ウェイクアップしたときに、第2の出力端子に現れる信号によってスイッチ手段をオンとするようにした。かかる構成とすることにより、スリープモード時には、ブルアップ手段からの電源供給を遮断しているので、無駄な電源が供給されず、より電力消費を少なくすることができる。

【0013】さらに、本発明は、スイッチ手段を、ベースが第2の出力端子に接続されたトランジスタで構成した。かかる構成とすることにより、スイッチ手段をトランジスタで構成できるので、簡単に実現することができる。

【0014】

【発明の実施の形態】以下、本発明のウェイクアップ起動回路の第1の実施の形態を図1を参照して説明する。

【0015】図1は、本発明のウェイクアップ起動回路の第1の実施の形態の構成を示す図である。本発明のウェイクアップ起動回路は、制御部（以下「CPU」という）11、抵抗値切替手段（以下「スイッチユニット」という。）12、ブルアップ手段13、ウェイクアップトリガ信号生成手段14、によって構成されている。

【0016】CPU11は、アナログ電圧が入力されるアナログ電圧入力端子(A/D)、スリープ状態からウェイクアップさせるためのトリガ信号が入力されるトリガ信号入力端子(INT)、ハイレベル（例えば、+5V）又はローレベル（例えば、0V）の電圧の信号を出力する第1の出力端子(OUT1)及び第2の出力端子(OUT2)を有し、アナログ電圧入力端子(A/D)に入力された電圧のアナログ値によって外部機器（図示せず）を制御するための複数の制御信号を出力する。また、所定の状態、例えば、イグニッションスイッチが切られてから数分後にスリープモードとなり、スリープモードになったときは出力端子(OUT1)からハイレベルの電圧の信号を出力するとともに出力端子(OUT2)からローレベルの電圧の信号を出力する。そして、トリガ信号入力端子(INT)に電圧が印加されたときに通常の動作に戻り（ウェイクアップし）、出力端子(OUT1)からローレベルの電圧の信号を出力するとともに出力端子(OUT2)からハイレベルの電圧の信号を出力する。また、出力端子(OUT1)は、抵抗R3を介して、アナログ電圧入力端子(A/D)に接続されている。

【0017】スイッチユニット12は、複数のスイッチ(SW1、SW2、SW3)と抵抗(R11、R12、

R13)によって構成されている。ここで、抵抗R11の一端と抵抗R12の一端が接続され、抵抗R12の他端と抵抗R13の一端が接続され、抵抗R11と抵抗R12との接続点とグラウンドとの間にスイッチSW1が接続され、抵抗R12と抵抗R13との接続点とグラウンドとの間にスイッチSW2が接続され、抵抗R13の他端とグラウンドとの間にスイッチSW3が接続されている。この構成により、グラウンドと抵抗R11の他端との間の抵抗値は、操作されたスイッチ(SW1、SW2、SW3)によって切り替わるようになっている。また、抵抗R11の他端は、抵抗R2を介して、CPU11のアナログ電圧入力端子(A/D)に接続されている。

【0018】ブルアップ手段13は、PNP型のトランジスタTR2とNPN型のトランジスタTR3とによって構成され、トランジスタTR2のコレクタは、ブルアップ抵抗R1を介して、抵抗R11の他端に接続され、エミッタは、車載電源端子15に接続され、ベースは、トランジスタTR3のコレクタに接続されている。また、トランジスタTR3は、エミッタが接地され、ベースがCPU11の第2の出力端子(OUT2)に接続されている。

【0019】ウェイクアップトリガ信号生成手段14は、PNP型のスイッチトランジスタTR1で構成され、トランジスタTR1のベースは、一端が抵抗R11の他端に接続された抵抗R2の他端に接続され、コレクタは、CPU11のトリガ信号入力端子(INT)に接続され、エミッタは、CPU11の第1の出力端子(OUT1)に接続されている。そして、スイッチユニット12の抵抗R11の他端電圧が低くなったときに、トランジスタTR1はオンとなり、CPU11の第1の出力端子(OUT1)からの電圧をウェイクアップ信号として、CPU11のトリガ信号入力端子(INT)に出力する。

【0020】以上の構成により、CPU11がウェイクアップしているときは、第2の出力端子(OUT2)からハイレベルの電圧を出力するので、ブルアップ手段13のTR2、TR3はともにオンとなり、抵抗R11の他端にブルアップされた電圧が印加される。ここで、スイッチユニット12のいずれかのスイッチ(SW1～SW3)が操作されると、操作されたスイッチ(SW1～SW3)は、一端が接地されるので、抵抗R11の他端にブルアップされていた電圧が、操作されたスイッチ(SW1～SW3)に対応して低下し、この電圧が、抵抗R2と抵抗R3とによって分圧されてCPU11のアナログ電圧入力端子(A/D)に入力される。CPU11は、この電圧値によって、操作されたスイッチ(SW1～SW3)を判別し、操作されたスイッチ(SW1～SW3)に対応して、出力端子（図示せず）から制御信号を出力し、外部の車載機器（図示せず）を制御する。

【0021】また、CPU11が、所定の状態、例え

ば、イグニッションキーが切られてから数分間経過し、スリープモードとなっているときは、第2の出力端子(OUT2)からローレベルの電圧を出力するので、プルアップ手段13のTR2、TR3はともにオフとなり、抵抗R11の他端には車載電源端子15からの電圧は印加されず、第1の出力端子(OUT1)からの電圧が印加されている。ここで、スイッチユニット12のいずれかのスイッチ(SW1~SW3)が操作されると、操作されたスイッチ(SW1~SW3)は、一端が接地されるので、抵抗R11の他端にプルアップされていた電圧が低下し、トランジスタTR1がオンし、CPU11のトリガ信号入力端子(INT)に入力される電圧がハイレベルとなる。CPU11は、トリガ信号入力端子(INT)にハイレベルの電圧が入力されると通常の動作モードに戻り(ウェイクアップし)、第2の出力端子(OUT2)からハイレベルの電圧を出力して、プルアップ手段13のTR2、TR3をともにオンとさせ、抵抗R11の他端にプルアップされた電圧を印加させ、操作されたスイッチ(SW1~SW3)に対応する制御を行うとともに、第1の出力端子(OUT1)からローレベルの電圧を出力しトリガ信号をローレベルにする。

【0022】以上のような、構成と動作により、このウェイクアップ起動回路は、操作されたスイッチ(SW1~SW3)を判別し、操作されたスイッチ(SW1~SW3)に対応する制御をCPU11が行うとともに、動作する必要のないときには、スリープモードとなって電力の消費を抑え、スリープモードのとき、いずれかのスイッチ(SW1~SW3)が操作されると、ウェイクアップする。

【0023】ここで、本発明のウェイクアップ起動回路は、スイッチユニット12とCPU11のアナログ電圧入力端子(A/D)との間は、1本の接続線によって接続され、また、スイッチユニット12とウェイクアップトリガ信号生成手段14との間も1本の接続線によって接続されているので、構成が簡単で、部品や接続線の少ない回路となっている。また、スイッチユニット12のスイッチの数に依存しない回路となっているので、使用するスイッチの数が相違する他の回路とも、共通して使用することができるので、製造するコストを安くすることができる。さらに、スイッチユニット12にスイッチSW4を増やそうとした場合、図中点線で示す接続線と抵抗R14を追加すれば良いので、1度設計をした後でも、拡張することが易しくなっている。

【0024】また、スリープモード時には、プルアップ手段13からの電源供給を遮断しているので、無駄な電源が供給されず、より電力消費の少ない回路となっている。

【0025】次に、図2は、本発明の第2の実施の形態を示す回路図である。図2において、第1の実施の形態を示す図1と同じ構成については、図1と同じ符号を付

け、詳細な説明は省略する。

【0026】第2の実施の形態においては、CPU11の出力端子(OUT2)は、スリープモードのときにはハイレベルの電圧を出力し、ウェイクアップしたときにはローレベルの電圧を出力する。また、プルアップ手段13のトランジスタTR3のベースは、PNP型のトランジスタTR4のコレクタに接続され、エミッタは、電源端子22に接続され、ベースは、CPU11の第2の出力端子(OUT2)に接続されている。さらに、ウェイクアップトリガ信号生成手段14は、トランジスタTR1と、コンデンサC1と抵抗R4と抵抗R5とからなる微分回路21で構成されている。そして、トランジスタTR1のエミッタは、電源端子23に接続され、コレクタは、CPU11のトリガ信号入力端子(INT)に接続され、ベースは、コンデンサC1を介して、抵抗R2の他端に接続されている。

【0027】以上の構成により、CPU11がウェイクアップしているときに、スイッチユニット12のいずれかのスイッチ(SW1~SW3)が操作された場合の動作は、第1の実施の形態と同様なので、ここでは省略する。CPU11が、スリープモードとなっているときは、スイッチユニット12のいずれかのスイッチ(SW1~SW3)が操作されると、操作されたスイッチ(SW1~SW3)は、一端が接地されるので、抵抗R11の他端にプルアップされていた電圧が低下し、コンデンサC1に充電されていた電荷がスイッチユニット12に流れる。これにより、コンデンサC1の電荷がなくなると、トランジスタTR1がオンし、CPU11のトリガ信号入力端子(INT)に入力される電圧がハイレベルとなる。CPU11は、トリガ信号入力端子(INT)にハイレベルの電圧が入力されると通常の動作モードに戻り(ウェイクアップし)、操作されたスイッチ(SW1~SW3)に対応する制御を行う。また、コンデンサC1は、トランジスタTR1のベース電流によって充電され、充電が進むとベース電流は流れなくなるので、トランジスタTR1はオフし、トリガ信号はローレベルとなる。

【0028】

【発明の効果】以上説明したように、本発明によれば、アナログ電圧入力端子とトリガ信号入力端子とを有し、アナログ電圧入力端子に入力されたアナログ電圧の値に対応して複数の制御信号を出力する制御部と、複数のスイッチと抵抗とを有し、一端が接地され、他端がアナログ電圧入力端子に接続されるとともに、少なくともプルアップ抵抗を有するプルアップ手段によって電源に接続され、その2端間の抵抗値をスイッチによって切り替える抵抗値切替手段とを備え、抵抗値切替手段とトリガ信号入力端子との間にウェイクアップトリガ信号生成手段を設け、抵抗値切替手段の電圧が変化したときに、ウェイクアップトリガ信号を出力するので、抵抗値切替手段

と制御部のアナログ電圧入力端子との間は、1本だけの接続線によって接続でき、また、抵抗値切替手段とウェイクアップトリガ信号生成手段との間も1本だけの接続線によって接続できるので、構成が簡単で、部品や接続線を少なくできる。また、抵抗値切替手段のスイッチの数に依存しないので、使用するスイッチの数が相違する他の回路とも、共通して使用することができるので、製造するコストを安くすることができる。さらに、抵抗値切替手段にスイッチを増やそうとした場合でも、拡張することが易しい。

【図面の簡単な説明】

【図 1】本発明のウェイクアップ起動回路の第 1 の実施の形態を示す回路図である。

【図2】本発明のウェイクアップ起動回路の第2の実施

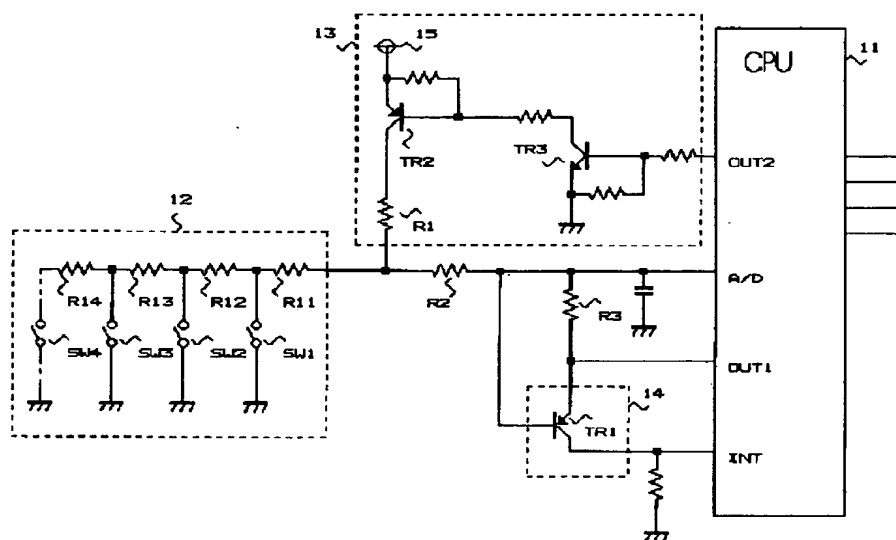
の形態を示す回路図である。

【図3】従来のウェイクアップ起動回路を示す回路図である。

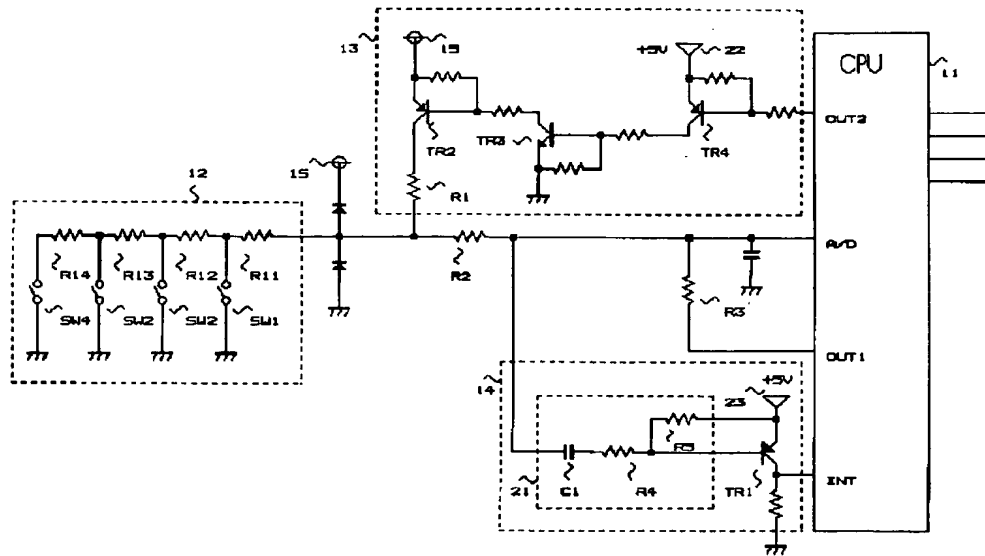
【符号の説明】

- 1 1 制御部 (CPU)
- 1 2 抵抗値切替手段 (スイッチユニット)
- 1 3 ブルアップ手段
- 1 4 ウェイクアップトリガ信号生成手段
- 2 1 微分回路
- SW1、SW2、SW3 スイッチ
- TR1 PNPトランジスタ
- TR2 スイッチ手段 (トランジスタ)
- R1 ブルアップ抵抗

【图 1】



【図2】



【図3】

